

(19) JAPANESE PATENT OFFICE (JP)

(12) Publication of Unexamined Patent Application (KOKAI) (A)

(11) Japanese Patent Application Kokai Number: HEI 5-55560

(43) Kokai Publication Date: March 5, 1993

(51) Int. Cl. ⁵	Identification Symbol	JPO File No.	F1	Technical Indication
H 01 L 29/784 27/088 29/44	Z	7738-4M 8225-4M 7342-4M	H 01 L 29/78 27/08	301 G 102 C

Request for Examination: Not requested, Number of Claims: 3 (5 pages total) Continued on last page.

(21) Application Number: HEI 3-211745

(71) Applicant: 000005223

Fujitsu K.K.

1015 Kami-Odanaka, Nakahara-ku,
Kawasaki-shi, Kanagawa-ken

(22) Filing Date: August 23, 1991

(72) Inventor:

Masahiko Azuma

c/o Fujitsu K.K.

1015 Kami-Odanaka, Nakahara-ku,
Kawasaki-shi, Kanagawa-ken

(74) Agent:

Yohji Nakajima, Patent Attorney
(and two others)

(54) [Title of the Invention] SEMICONDUCTOR DEVICE

(57) [Abstract]

[Object] [The present invention] concerns a MOSFET with a high withstand voltage; [the object of the present invention is] to provide an element structure which does not require a thick gate insulating film, and which does not require an offset structure.

[Constitution] A p⁺ source region 12 and a p⁺ drain region 13 are formed on the surface of an n-Si substrate 11, and a gate insulating film 14, and a gate electrode¹ 15, 16 consisting of polysilicon, are formed on the Si substrate 11 between the p⁺ source region 12 and p⁺ drain region 13. The gate insulating film 14, which consists of SiO₂, has an ordinary thickness. The gate electrode consisting of polysilicon consists of two layers. The polysilicon gate 15 which is closer to the gate insulating film is doped with impurities at such a low concentration that a depletion layer 17 is formed when a high voltage is applied across the Si substrate 11 and drain region 13, or across the source region 12 and drain region 13. The other polysilicon gate 16 is doped with impurities at a high concentration.

¹ Translator's note: the original indicates a single gate electrode consisting of two layers, i. e., 15 and 16, but later refers to the layers themselves as "electrodes;" since Japanese has no grammatical singular-plural distinction, the reference here is inherently unclear.

[Claims]

[Claim 1] A semiconductor device which is a MOS type field effect transistor in which a source region and drain region which are of one conduction type and which have high impurity concentrations are formed on the surface of a semiconductor substrate of the opposite conduction type, and in which a gate insulating film and a polysilicon gate electrode are formed on the semiconductor substrate between the source region and drain region, said semiconductor device being characterized by the fact that:

the gate insulating film has the same thickness as the gate insulating film used in an ordinary MOS type field effect transistor,

the gate electrode consisting of polysilicon consists of two layers,

the polysilicon gate which is closer to the gate insulating film is doped with impurities at such a low concentration that a depletion layer is formed when a high voltage is applied across the semiconductor substrate and drain region, or across the source region and drain region, and the other polysilicon gate is doped with impurities at a high concentration.

[Claim 2] A semiconductor device which is a MOS type field effect transistor in which a source region and drain region which are of one conduction type and which have high impurity concentrations are formed on the surface of a semiconductor substrate of the opposite conduction type, and in which a gate insulating film and a polysilicon gate electrode are formed on the semiconductor substrate between the source region and drain region, said semiconductor device being characterized by the fact that:

the gate insulating film has the same thickness as the gate insulating film used in an ordinary MOS type field effect transistor,

the gate electrode consisting of polysilicon consists of two layers,

the polysilicon gate which is closer to either the source region or the drain region, or to both, is doped with impurities at such a low concentration that a depletion layer is formed when a high voltage is applied across the semiconductor substrate and drain region, or across the source region and drain region, and

the other polysilicon gate is doped with impurities at a high concentration.

[Claim 3] A semiconductor device which is a MOS type field effect transistor in which a source region and drain region which are of one conduction type and which have high impurity concentrations are formed on the surface of a semiconductor substrate of the opposite conduction type, and in which a gate insulating film and a polysilicon gate electrode are formed on the semiconductor substrate between the source region and drain region, said semiconductor device being characterized by the fact that:

the gate insulating film has the same thickness as the gate insulating film used in an ordinary MOS type field effect transistor, and

the gate electrode consisting of polysilicon is doped with impurities at such a low concentration that a depletion layer is formed when a high voltage is applied across the semiconductor substrate and drain region, or across the source region and drain region.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Utilization] The present invention concerns a semiconductor device, and more specifically concerns a MOSFET which has a high withstand voltage, in which a high voltage with an absolute value of 10 to 100 V or greater is applied across the substrate and drain, or across the source and drain.

[0002]

[Prior Art] Figure 4 shows a conventional example. This figure illustrates an example of a conventional MOSFET with a high withstand voltage. In Figure 4, 41 indicates an n-Si substrate, 42 indicates a p⁺ source region (impurity concentration: $10^{19} \sim 10^{20} \text{ cm}^{-3}$), 43 indicates a p⁺ drain region (impurity concentration: $10^{19} \sim 10^{20} \text{ cm}^{-3}$), 44 indicates a p⁻ source offset region (impurity concentration: $10^{16} \sim 10^{17} \text{ cm}^{-3}$), 45 indicates a p⁻ drain offset region (impurity concentration: $10^{16} \sim 10^{17} \text{ cm}^{-3}$), 46 indicates a thin gate insulating film (thickness: 250 angstroms) consisting of SiO₂, 47 indicates a thick gate insulating film (thickness: 800 angstroms) consisting of SiO₂, and 48 indicates a polysilicon gate electrode (thickness: 4,000 angstroms).

[0003] The SiO₂ film used as a gate insulating film undergoes insulation breakdown when an electric field of 10 to 11 MV/cm is applied. Accordingly, in order to realize a MOSFET with a high withstand voltage, it is necessary to reduce the effective electric field that is applied to the gate insulating film. Conventionally, the following methods have been used for this.

[0004] (1) Increasing the thickness of the gate insulating film. (2) Including offset structures in the source region or drain region, or in both regions.

[0005] (3) The use of (1) and (2) in combination. To describe these methods with reference to Figure 4, (1) is a method in which a thick gate insulating film 47 is formed only in the high-withstand-voltage MOSFET area, with a thin gate insulating film 46 being used in other areas. (2) is a method in which a p⁻ source offset region 44 or a p⁻ drain offset region 45 is formed, or in which both of these regions are formed. (3) is a method using the structure shown in Figure 4.

[0006]

[Problems to Be Solved by the Invention] In conventional MOSFETs which have a high withstand voltage, a process which is used to increase the thickness of the gate insulating film only in the area of the element with a high withstand voltage, and a special process which is used to form the offset structures, are required. As a result, the number of processes required is increased.

[0007] Furthermore, since the gate insulating film is thick, and since offset structures are present, the current amplification rate of the FET drops. The object of the present invention is to solve the above-mentioned problems, and to provide a semiconductor device, especially a

MOSFET which has a high withstand voltage, in which there is no need to increase the thickness of the gate insulating film, and in which offset structures are not required.

[0008]

[Means Used to Solve the Above-mentioned Problems] In order to achieve the above-mentioned object, the semiconductor device of the present invention (especially a MOSFET which has a high withstand voltage) is constructed as follows:

[0009] (1) A MOS type field effect transistor in which a source region and drain region which are of one conduction type and which have high impurity concentrations are formed on the surface of a semiconductor substrate of the opposite conduction type, and in which a gate insulating film and a polysilicon gate electrode are formed on the semiconductor substrate between the source region and drain region, said MOS type field effect transistor being constructed so that the gate insulating film has the same thickness as the gate insulating film used in an ordinary MOS type field effect transistor, the gate electrode consisting of polysilicon consists of two layers, the polysilicon gate which is closer to the gate insulating film is doped with impurities at such a low concentration that a depletion layer is formed when a high voltage is applied across the semiconductor substrate and drain region, or across the source region and drain region, and the other polysilicon gate is doped with impurities at a high concentration.

[0010] (2) A MOS type field effect transistor in which a source region and drain region which are of one conduction type and which have high impurity concentrations are formed on the surface of a semiconductor substrate of the opposite conduction type, and in which a gate insulating film and a polysilicon gate electrode are formed on the semiconductor substrate between the source region and drain region, said MOS type field effect transistor being constructed so that the gate insulating film has the same thickness as the gate insulating film used in an ordinary MOS type field effect transistor, the gate electrode consisting of polysilicon consists of two layers, the polysilicon gate which is closer to either the source region or the drain region, or to both, is doped with impurities at such a low concentration that a depletion layer is formed when a high voltage is applied across the semiconductor substrate and drain region, or across the source region and drain region, and the other polysilicon gate is doped with impurities at a high concentration.

[0011] (3) A MOS type field effect transistor in which a source region and drain region which are of one conduction type and which have high impurity concentrations are formed on the surface of a semiconductor substrate of the opposite conduction type, and in which a gate insulating film and a polysilicon gate electrode are formed on the semiconductor substrate between the source region and drain region, said MOS type field effect transistor being constructed so that the gate insulating film has the same thickness as the gate insulating film used in an ordinary MOS type field effect transistor, and the gate electrode consisting of polysilicon is doped with impurities at such a low concentration that a depletion layer is formed when a high voltage is applied across the semiconductor substrate and drain region, or across the source region and drain region.

[0012]

[Operation] In the high-withstand-voltage MOSFET of the present invention, the gate electrode consisting of polysilicon on the portion of the gate insulating film to which a high voltage is applied is doped at a low concentration. Accordingly, when a high voltage is applied across the semiconductor substrate and drain region, or across the source region and drain region, a depletion layer is formed, and this depletion layer spreads throughout the polysilicon gate that is doped at a low concentration. As a result, the effective film thickness of the gate insulating film as seen from the semiconductor substrate and drain region, or from the source region and drain region, is increased, so that the electric field applied to the gate insulating film is reduced.

[0013] Consequently, by adopting the element structure of the present invention, it is possible to realize a high-withstand-voltage MOSFET which does not require any increase in the thickness of the gate insulating film, and which does not require offset structures.

[0014]

[Working Examples] (Working Example 1) Figure 1 illustrates Working Example 1. Figure 1 (a) shows the element structure, and Figure 1 (b) shows the bias state.

[0015] In Figure 1, 11 indicates an n-Si substrate, 12 indicates a p⁺ source region (impurity concentration: $10^{19} \sim 10^{20} \text{ cm}^{-3}$), 13 indicates a p⁺ drain region (impurity concentration: $10^{19} \sim 10^{20} \text{ cm}^{-3}$), 14 indicates a gate insulating film consisting of SiO₂, 15 indicates a polysilicon gate electrode with a low impurity concentration, 16 indicates a polysilicon gate electrode with a high impurity concentration, and 17 indicates a depletion layer.

[0016] The thickness of the gate insulating film 14 consisting of SiO₂ is 250 angstroms, which is the same as the thickness of the gate insulating film in an ordinary MOSFET. The polysilicon gate electrode 15 with a low impurity concentration has an impurity concentration of $10^{18} \sim 10^{19} \text{ cm}^{-3}$, and a thickness of 1000 angstroms.

[0017] The polysilicon gate electrode with a high impurity concentration has an impurity concentration of $10^{20} \sim 10^{21} \text{ cm}^{-3}$, and a thickness of 3000 angstroms. A high-withstand-voltage MOSFET with the structure shown in Figure 1 (a) is biased as shown in Figure 1 (b). Specifically, the source 12 is grounded, a drain voltage V_D is applied to the drain 13, and a gate voltage V_G is applied to the polysilicon gate electrode 16 which has a high impurity concentration. Furthermore, as the drain voltage V_D is increased, a depletion layer 17 is formed in the polysilicon gate electrode 15 which has a low impurity concentration. As the drain voltage V_D rises, the width of the depletion layer 17 increases inside the polysilicon gate electrode 15 with a low impurity concentration. As a result, since the effective film thickness of the gate insulating film 14 as seen from the drain region 13 increases, the electric field applied to the gate insulating film is reduced. Accordingly, insulation breakdown of the gate insulating film does not occur.

[0018] (Working Example 2) Figure 2 illustrates Working Example 2. In Figure 2, 21 indicates an n-Si substrate, 22 indicates a p⁺ source region (impurity concentration: $10^{19} \sim 10^{20} \text{ cm}^{-3}$), 23

indicates a p⁺ drain region (impurity concentration: $10^{19} \sim 10^{20} \text{ cm}^{-3}$), 24 indicates a gate insulating film consisting of SiO₂, 25 indicates a polysilicon gate electrode with a low impurity concentration, and 26 indicates a polysilicon gate electrode with a high impurity concentration.

[0019] The thickness of the gate insulating film 24 consisting of SiO₂ is 250 angstroms, which is the same as the thickness of the gate insulating film in an ordinary MOSFET. The polysilicon gate electrode 25 with a low impurity concentration has an impurity concentration of $10^{18} \sim 10^{19} \text{ cm}^{-3}$.

[0020] The polysilicon gate electrode 26 with a high impurity concentration has an impurity concentration of $10^{20} \sim 10^{21} \text{ cm}^{-3}$. In a high-withstand-voltage MOSFET having the structure of the present working example, the polysilicon gate electrode is constructed from two regions in order to allow use in cases where a high voltage is applied to the drain region 23. The region closer to the drain region 23 is formed as a polysilicon gate electrode 25 with a low impurity concentration, while the region closer to the source region 22 is formed as a polysilicon gate electrode 26 with a high impurity concentration.

[0021] (Working Example 3) Figure 3 illustrates Working Example 3. In Figure 3, 31 indicates an n-Si substrate, 32 indicates a p⁺ source region (impurity concentration: $10^{19} \sim 10^{20} \text{ cm}^{-3}$), 33 indicates a p⁺ drain region (impurity concentration: $10^{19} \sim 10^{20} \text{ cm}^{-3}$), 34 indicates a gate insulating film consisting of SiO₂, and 35 indicates a polysilicon gate electrode with a low impurity concentration.

[0022] The thickness of the gate insulating film 34 consisting of SiO₂ is 250 angstroms, which is the same as the thickness of the gate insulating film in an ordinary MOSFET. The polysilicon gate electrode 35 with a low impurity concentration has an impurity concentration of $10^{18} \sim 10^{19} \text{ cm}^{-3}$.

[0023] In a high-withstand-voltage MOSFET having the structure of the present working example, the polysilicon gate electrode is constructed only from a polysilicon gate electrode 35 which has a low impurity concentration. This structure is realized by dividing the ion injection process in which ions are injected into the polysilicon gate into two processes, i. e., formation of the polysilicon gate electrode 35 with a low impurity concentration by low[-level] injection, and subsequent high[-level] injection in the portions forming the other conductive layers.

[0024]

[Effects of the Invention] The present invention makes it possible to realize a high-withstand-voltage MOSFET without increasing the thickness of the gate insulating film, and without forming offset structures.

[Brief Description of the Drawings]

[Figure 1] Figure 1 illustrates Working Example 1.

[Figure 2] Figure 2 illustrates Working Example 2.

[Figure 3] Figure 3 illustrates Working Example 3.

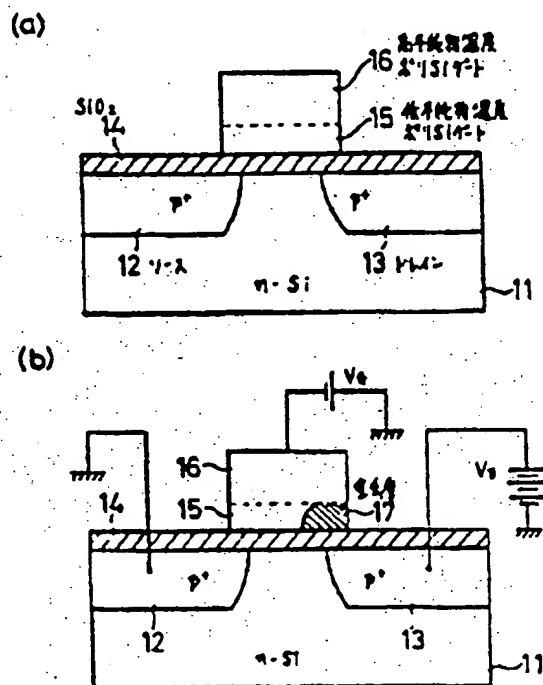
[Figure 4] Figure 4 illustrates a conventional example.

[Explanation of Symbols]

- 11 n-Si substrate
- 12 p⁺ source region
- 13 p⁺ drain region
- 14 Gate insulating film consisting of SiO₂
- 15 Polysilicon gate electrode with low impurity concentration
- 16 Polysilicon gate electrode with high impurity concentration
- 17 Depletion layer

[Figure 1]

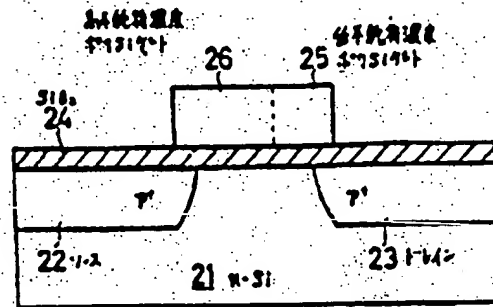
Working Example 1



[Key: 12 Source, 13 Drain, 15 Polysilicon gate with low impurity concentration, 16 Polysilicon gate with high impurity concentration, 17 Depletion layer.]

[Figure 2]

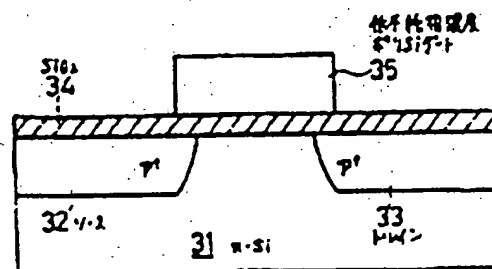
Working Example 2



[Key: 22 Source, 23 Drain, 25 Polysilicon gate with low impurity concentration, 26 Polysilicon gate with high impurity concentration.]

[Figure 3]

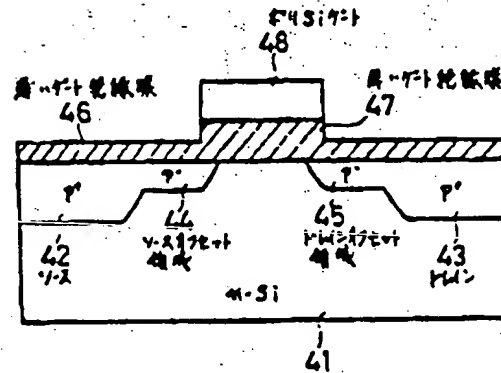
Working Example 3



[Key: 32 Source, 33 Drain, 35 Polysilicon gate with low impurity concentration.]

[Figure 4]

Conventional Example



[Key: 42 Source, 43 Drain, 44 Source offset region, 45 Drain offset region, 46 Thin gate insulating film, 47 Thick gate insulating film, 48 Polysilicon gate.]

Continued from front page.

(51) Int. Cl.⁵
H 01 L 29/46

Identification Symbol
A

JPO File No. F1
7738-4M

Technical Indication

特開平5-55560

(43) 公開日 平成5年(1993)3月5日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

27/088

29/44

Z 7738-4M

8225-4M

7342-4M

H 0 1 L 29/78

3 0 1 G

27/08

1 0 2 C

審査請求 未請求 請求項の数3(全5頁) 最終頁に続く

(21) 出願番号 特願平3-211745

(22) 出願日 平成3年(1991)8月23日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 東 雅彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 中島 洋治 (外2名)

(54) 【発明の名称】 半導体装置

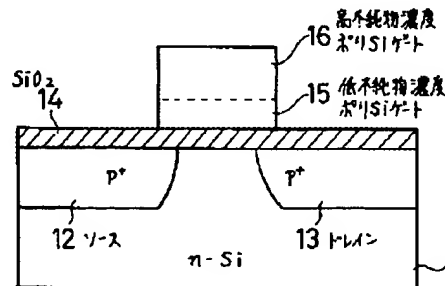
(57) 【要約】

【目的】 高耐圧MOSFETに関し、ゲート絶縁膜を厚くすることなく、かつオフセット構造も必要としない素子構造を提供する。

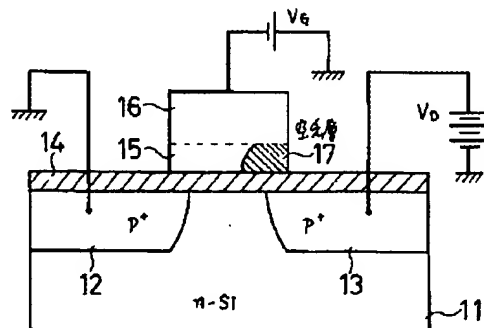
【構成】 n -Si基板11の表面に p^+ ソース領域12および p^+ ドレイン領域13が形成され、 p^+ ソース領域12および p^+ ドレイン領域13の間のSi基板11上にゲート絶縁膜14、およびポリシリコンから成るゲート電極15、16が形成されている。 SiO_2 から成るゲート絶縁膜14は、通常の厚さである。ポリシリコンから成るゲート電極は、2層から成る。ゲート絶縁膜に近い方のポリシリコンゲート15は、Si基板11もしくはソース領域12とドレイン領域13との間に高電圧が印加された際に、空乏層17が形成される程度に、不純物が低濃度にドーピングされている。もう一方のポリシリコンゲート16は、高濃度に不純物がドーピングされている。

実施例1

(a)



(b)



1

【特許請求の範囲】

【請求項1】 一導電型の半導体基板の表面に反対導電型で高不純物濃度のソース領域およびドレイン領域が形成され、ソース領域およびドレイン領域の間の半導体基板上にゲート絶縁膜、およびポリシリコンから成るゲート電極が形成されたMOS型電界効果トランジスタであって、

ゲート絶縁膜は、通常のMOS型電界効果トランジスタで用いられるものと同じ厚さであり、

ポリシリコンから成るゲート電極は、2層から成り、

ゲート絶縁膜に近い方のポリシリコンゲートは、半導体基板もしくはソース領域とドレイン領域との間に高電圧が印加された際に、空乏層が形成される程度に、不純物が低濃度にドーピングされており、

もう一方のポリシリコンゲートは、高濃度に不純物がドーピングされていることを特徴とする半導体装置。

【請求項2】 一導電型の半導体基板の表面に反対導電型で高不純物濃度のソース領域およびドレイン領域が形成され、ソース領域およびドレイン領域の間の半導体基板上にゲート絶縁膜、およびポリシリコンから成るゲート電極が形成されたMOS型電界効果トランジスタであって、

ゲート絶縁膜は、通常のMOS型電界効果トランジスタで用いられるものと同じ厚さであり、

ポリシリコンから成るゲート電極は、2つの領域から成り、

ソース領域およびドレイン領域のいずれか一方または両方に近い方のポリシリコンゲートは、半導体基板もしくはソース領域とドレイン領域との間に高電圧が印加された際に、空乏層が形成される程度に、不純物が低濃度にドーピングされており、

もう一方のポリシリコンゲートは、高濃度に不純物がドーピングされていることを特徴とする半導体装置。

【請求項3】 一導電型の半導体基板の表面に反対導電型で高不純物濃度のソース領域およびドレイン領域が形成され、ソース領域およびドレイン領域の間の半導体基板上にゲート絶縁膜、およびポリシリコンから成るゲート電極が形成されたMOS型電界効果トランジスタであって、

ゲート絶縁膜は、通常のMOS型電界効果トランジスタで用いられるものと同じ厚さであり、

ポリシリコンから成るゲート電極は、半導体基板もしくはソース領域とドレイン領域との間に高電圧が印加された際に、空乏層が形成される程度に、不純物が低濃度にドーピングされていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置、特に、基板もしくはソースとドレインとの間に、絶対値で10～100V以上の高電圧が印加される、高耐圧MOSFET

2

Tに関する。

【0002】

【従来の技術】 図4は従来例を示す図であり、従来の高耐圧MOSFETの例を示している。同図において、41はn-Si基板、42はp⁺ ソース領域（不純物濃度 $10^{19} \sim 10^{20} \text{ cm}^{-3}$ ）、43はp⁺ ドレイン領域（不純物濃度 $10^{19} \sim 10^{20} \text{ cm}^{-3}$ ）、44はp⁻ ソースオフセット領域（不純物濃度 $10^{16} \sim 10^{17} \text{ cm}^{-3}$ ）、45はp⁻ ドレインオフセット領域（不純物濃度 $10^{16} \sim 10^{17} \text{ cm}^{-3}$ ）、46はSiO₂ から成る薄いゲート絶縁膜（厚さ250Å）、47はSiO₂ から成る厚いゲート絶縁膜（厚さ800Å）、48はポリシリコンゲート電極（厚さ4000Å）である。

【0003】 ゲート絶縁膜として用いられるSiO₂ 膜は、10～11MV/cmの電界が印加されると絶縁破壊を起こす。したがって、高耐圧MOSFETを実現するためにはゲート絶縁膜に印加される実効電界を低くする必要があり、従来次の方法が採られていた。

【0004】 ① ゲート絶縁膜の厚さを厚くする。② ソース領域およびドレイン領域の一方もしくは両方にオフセット構造を持たせる。

【0005】 ③ ①および②を併用する。図4に即して説明すると、①は、高耐圧MOSFETの部分だけに厚いゲート絶縁膜47を形成し、他の部分は薄いゲート絶縁膜46とするものである。②は、p⁻ ソースオフセット領域44およびp⁻ ドレインオフセット領域45の一方もしくは両方を形成するものである。③は、図4に示す構造そのものである。

【0006】

【発明が解決しようとする課題】 従来の高耐圧MOSFETには、高耐圧素子部のみゲート絶縁膜を厚くするための工程や、オフセット構造を形成するための特別の工程が必要となり、工程数が増加してしまう、という問題があった。

【0007】 また、ゲート絶縁膜が厚く、オフセット構造を持つためにFETの電流増幅率が低下する、という問題もあった。本発明は、上記の問題点を解決して、ゲート絶縁膜を厚くせず、オフセット構造も必要としない、半導体装置、特に高耐圧MOSFETを提供することを目的とする。

【0008】

【課題を解決するための手段】 上記の目的を達成するために、本発明に係る半導体装置、特に高耐圧MOSFETは、次のように構成する。

【0009】 (1) 一導電型の半導体基板の表面に反対導電型で高不純物濃度のソース領域およびドレイン領域が形成され、ソース領域およびドレイン領域の間の半導体基板上にゲート絶縁膜、およびポリシリコンから成るゲート電極が形成されたMOS型電界効果トランジスタであって、ゲート絶縁膜は、通常のMOS型電界効果ト

ランジスタで用いられるものと同じ厚さであり、ポリシリコンから成るゲート電極は、2層から成り、ゲート絶縁膜に近い方のポリシリコンゲートは、半導体基板もしくはソース領域とドレイン領域との間に高電圧が印加された際に、空乏層が形成される程度に、不純物が低濃度にドーピングされており、もう一方のポリシリコンゲートは、高濃度に不純物がドーピングされているように構成する。

【0010】(2) 一導電型の半導体基板の表面に反対導電型で高不純物濃度のソース領域およびドレイン領域が形成され、ソース領域およびドレイン領域の間の半導体基板上にゲート絶縁膜、およびポリシリコンから成るゲート電極が形成されたMOS型電界効果トランジスタであって、ゲート絶縁膜は、通常のMOS型電界効果トランジスタで用いられるものと同じ厚さであり、ポリシリコンから成るゲート電極は、2つの領域から成り、ソース領域およびドレイン領域のいずれか一方または両方に近い方のポリシリコンゲートは、半導体基板もしくはソース領域とドレイン領域との間に高電圧が印加された際に、空乏層が形成される程度に、不純物が低濃度にドーピングされており、もう一方のポリシリコンゲートは、高濃度に不純物がドーピングされているように構成する。

【0011】(3) 一導電型の半導体基板の表面に反対導電型で高不純物濃度のソース領域およびドレイン領域が形成され、ソース領域およびドレイン領域の間の半導体基板上にゲート絶縁膜、およびポリシリコンから成るゲート電極が形成されたMOS型電界効果トランジスタであって、ゲート絶縁膜は、通常のMOS型電界効果トランジスタで用いられるものと同じ厚さであり、ポリシリコンから成るゲート電極は、半導体基板もしくはソース領域とドレイン領域との間に高電圧が印加された際に、空乏層が形成される程度に、不純物が低濃度にドーピングされているように構成する。

【0012】

【作用】本発明に係る高耐圧MOSFETでは、ゲート絶縁膜の高電圧が印加される部分上のポリシリコンから成るゲート電極が低濃度にドーピングされている。したがって、半導体基板もしくはソース領域とドレイン領域との間に高電圧が印加された際に、低濃度にドーピングされたポリシリコンゲート中に空乏層が形成されて広がる。その結果、半導体基板もしくはソース領域並びにドレイン領域から見たゲート絶縁膜の実効膜厚が厚くなり、ゲート絶縁膜に加わる電界が低くなる。

【0013】以上のことから、本発明に係る素子構造を採ることにより、ゲート絶縁膜を厚くすることなく、かつオフセット構造も必要としない高耐圧MOSFETを実現することが可能になる。

【0014】

【実施例】(実施例1) 図1は実施例1を示す図であり、図(a)素子構造を示しており、図(b)はバイア

ス状態を示している。

【0015】同図において、11はn-Si基板、12はp⁺ ソース領域(不純物濃度 $10^{19} \sim 10^{20} \text{ cm}^{-3}$)、13はp⁺ ドレイン領域(不純物濃度 $10^{19} \sim 10^{20} \text{ cm}^{-3}$)、14はSiO₂ から成るゲート絶縁膜、15は低不純物濃度ポリシリコンゲート電極、16は高不純物濃度ポリシリコンゲート電極、17は空乏層である。

【0016】SiO₂ から成るゲート絶縁膜14の厚さは、通常のMOSFETと同じで250Åである。低不純物濃度ポリシリコンゲート電極15は、不純物濃度 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 、厚さ1000Åである。

【0017】高不純物濃度ポリシリコンゲート電極16は、不純物濃度 $10^{20} \sim 10^{21} \text{ cm}^{-3}$ 、厚さ3000Åである。図(a)に示す構造を有する高耐圧MOSFETを図(b)に示すようにバイアスする。すなわち、ソース12は接地し、ドレイン13にドレイン電圧V_Dを印加し、高不純物濃度ポリシリコンゲート電極16にゲート電圧V_Gを印加する。そして、ドレイン電圧V_Dを高めていくと、低不純物濃度ポリシリコンゲート電極15内に空乏層17が形成される。ドレイン電圧V_Dが高くなるほど低不純物濃度ポリシリコンゲート電極15内の空乏層17の幅が広がる。この結果、ドレイン領域13から見たゲート絶縁膜14の実効膜厚が厚くなるので、ゲート絶縁膜に加わる電界は低くなる。したがって、ゲート絶縁膜の絶縁破壊は生じない。

【0018】(実施例2) 図2は実施例2を示す図である。同図において、21はn-Si基板、22はp⁺ ソース領域(不純物濃度 $10^{19} \sim 10^{20} \text{ cm}^{-3}$)、23はp⁺ ドレイン領域(不純物濃度 $10^{19} \sim 10^{20} \text{ cm}^{-3}$)、24はSiO₂ から成るゲート絶縁膜、25は低不純物濃度ポリシリコンゲート電極、26は高不純物濃度ポリシリコンゲート電極である。

【0019】SiO₂ から成るゲート絶縁膜24の厚さは、通常のMOSFETと同じで250Åである。低不純物濃度ポリシリコンゲート電極25は、不純物濃度 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ である。

【0020】高不純物濃度ポリシリコンゲート電極26は、不純物濃度 $10^{20} \sim 10^{21} \text{ cm}^{-3}$ である。本実施例の構造を有する高耐圧MOSFETは、ドレイン領域23に高電圧が印加される場合に適用されるように、ポリシリコンゲート電極を2つの領域から構成し、ドレイン領域23に近い方を低不純物濃度ポリシリコンゲート電極25とし、ソース領域22に近い方を高不純物濃度ポリシリコンゲート電極26としている。

【0021】(実施例3) 図3は実施例3を示す図である。同図において、31はn-Si基板、32はp⁺ ソース領域(不純物濃度 $10^{19} \sim 10^{20} \text{ cm}^{-3}$)、33はp⁺ ドレイン領域(不純物濃度 $10^{19} \sim 10^{20} \text{ cm}^{-3}$)、34はSiO₂ から成るゲート絶縁膜、35は

5

低不純物濃度ポリシリコンゲート電極である。

【0022】 SiO_2 から成るゲート絶縁膜34の厚さは、通常のMOSFETと同じで250Åである。低不純物濃度ポリシリコンゲート電極35は、不純物濃度 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ である。

【0023】本実施例の構造を有する高耐圧MOSFETは、ポリシリコンゲート電極を低不純物濃度ポリシリコンゲート電極35のみから構成している。この構造は、ポリシリコンゲートへのイオン注入工程を2回に分けることにより、すなわち低不純物濃度ポリシリコンゲート電極35は低注入で形成し、これに続く他の導電層となる部分は高注入とすることにより実現される。

【0024】

【発明の効果】本発明によれば、ゲート絶縁膜を厚くすることなく、オフセット構造を持たなくとも高耐圧MO

6

SFETを実現することができる。

【図面の簡単な説明】

【図1】実施例1を示す図である。

【図2】実施例2を示す図である。

【図3】実施例3を示す図である。

【図4】従来例を示す図である。

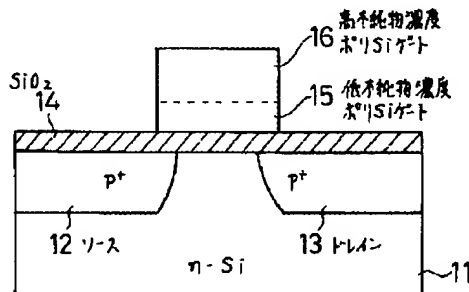
【符号の説明】

- 11 n-Si基板
- 12 p⁺ ソース領域
- 13 p⁺ ドレイン領域
- 14 SiO_2 から成るゲート絶縁膜
- 15 低不純物濃度ポリシリコンゲート電極
- 16 高不純物濃度ポリシリコンゲート電極
- 17 空乏層

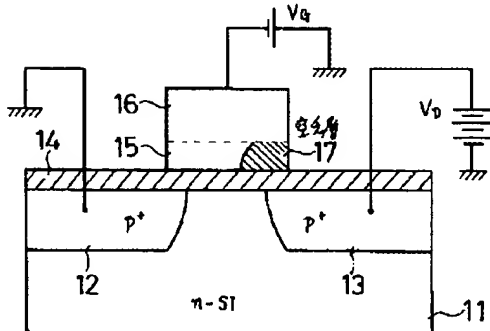
【図1】

実施例1

(a)

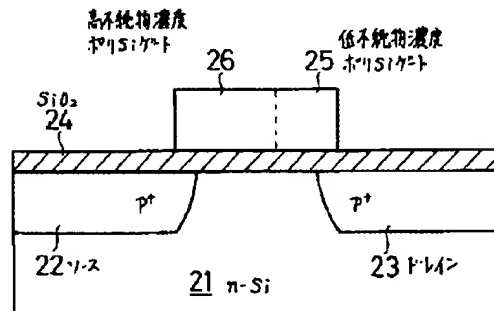


(b)



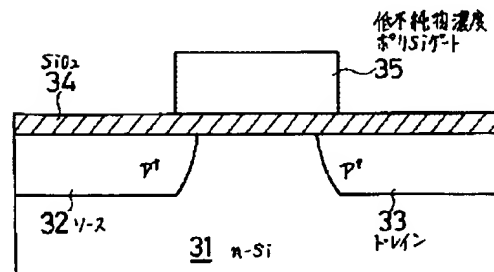
【図2】

実施例2



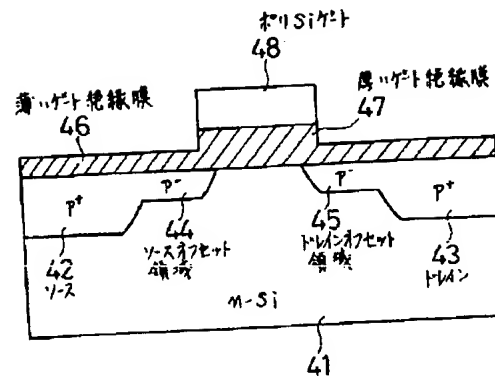
【図3】

実施例3



【図4】

縦断面例



フロントページの続き

(51) Int. Cl.⁵

H01L 29/46

識別記号

片内整理番号

A 7738-4M

F I

技術表示箇所